



PCT/PTO 21 DEC 2004  
PCT/CH 03 / 00405  
10/518874

SCHWEIZERISCHE EIDGENOSSENSCHAFT  
CONFÉDÉRATION SUISSE  
CONFEDERAZIONE SVIZZERA

REC'D 01 JUL 2003	
WIPC	PCT

### Bescheinigung

Die beiliegenden Akten stimmen mit den ursprünglichen technischen Unterlagen des auf der nächsten Seite bezeichneten Patentgesuches für die Schweiz und Liechtenstein überein. Die Schweiz und das Fürstentum Liechtenstein bilden ein einheitliches Schutzgebiet. Der Schutz kann deshalb nur für beide Länder gemeinsam beantragt werden.

### Attestation

Les documents ci-joints sont conformes aux pièces techniques originales de la demande de brevet pour la Suisse et le Liechtenstein spécifiée à la page suivante. La Suisse et la Principauté de Liechtenstein constituent un territoire unitaire de protection. La protection ne peut donc être revendiquée que pour l'ensemble des deux Etats.

### Attestazione

I documenti allegati sono conformi agli atti tecnici originali della domanda di brevetto per la Svizzera e il Liechtenstein specificata nella pagina seguente. La Svizzera e il Principato di Liechtenstein formano un unico territorio di protezione. La protezione può dunque essere rivendicata solamente per l'insieme dei due Stati.

**PRIORITY  
DOCUMENT**

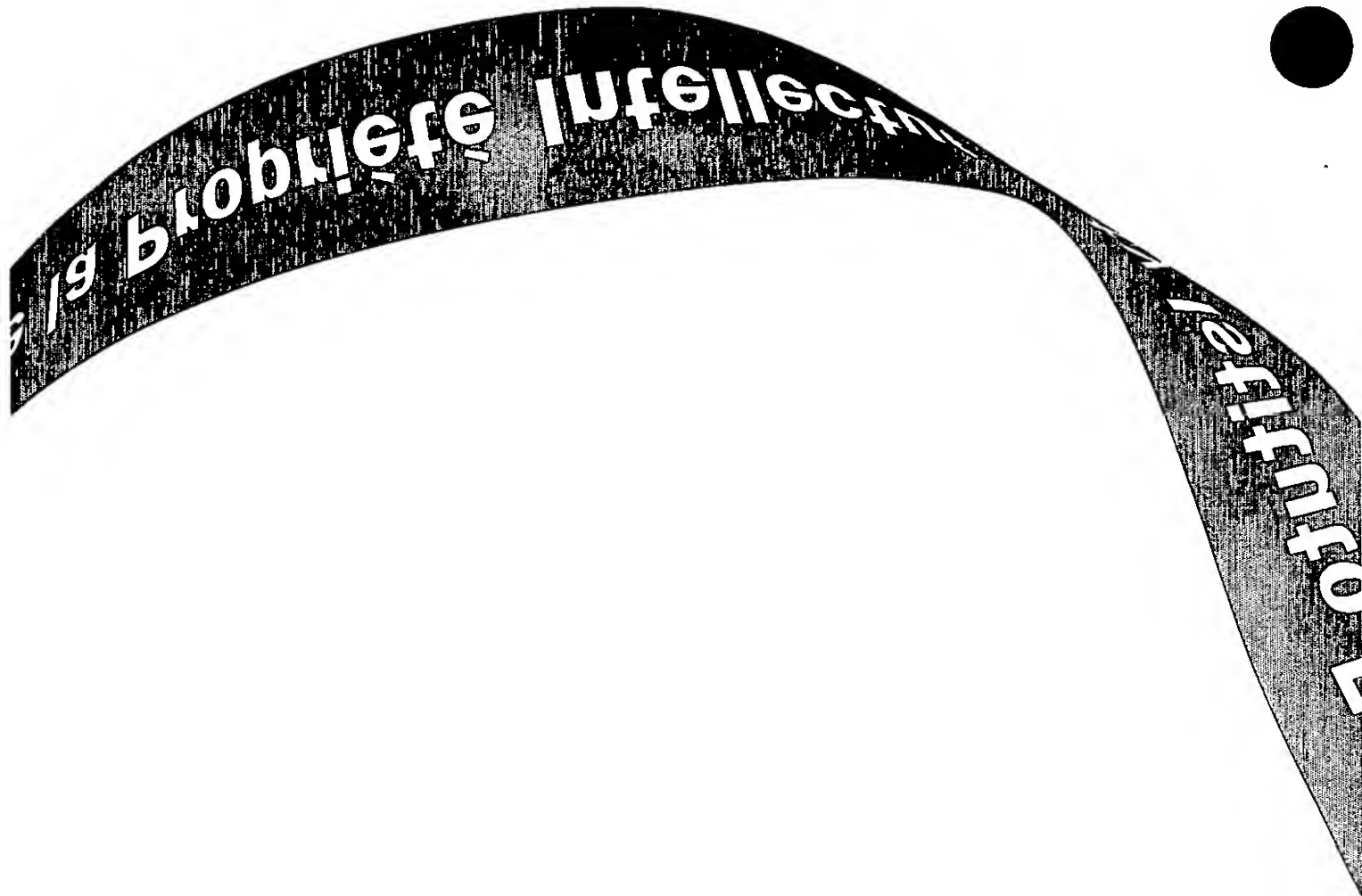
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Bern, 23 Juni 2003

Eidgenössisches Institut für Geistiges Eigentum  
Institut Fédéral de la Propriété Intellectuelle  
Istituto Federale della Proprietà Intellettuale

Patentverfahren  
Administration des brevets  
Amministrazione dei brevetti

*H. Jenni*  
Heinz Jenni



Patentgesuch Nr. 2002 1111/02

HINTERLEGUNGSBESCHEINIGUNG (Art. 46 Abs. 5 PatV)

Das Eidgenössische Institut für Geistiges Eigentum bescheinigt den Eingang des unten näher bezeichneten schweizerischen Patentgesuches.

Titel:  
Digital gesteuerter Oszillator.

Patentbewerber:  
BridgeCo AG  
Ringstrasse 14  
8600 Dübendorf

Vertreter:  
A. Braun, Braun, Héritier, Eschmann AG Patentanwälte  
Holbeinstrasse 36-38  
4051 Basel

Anmeldedatum: 27.06.2002

Voraussichtliche Klassen: H03B

Unveränderliches Exemplar  
Exemplaire Invariable  
Esemplare immutabile

- 0 -

11103

Fall 4

BridgeCo AG

## Digital gesteuerter Oszillator

Die Erfindung betrifft einen digital gesteuerten Oszillator gemäss dem Oberbegriff des unabhängigen Patenanspruchs.

- 5 Die Übermittlung von Audio- und Videodaten in Echtzeit erfordert eine Übereinstimmung der Datenrate am Sender und Empfänger, um die Beeinträchtigung der Wiedergabequalität durch Unter- oder Überläufe von Zwischenspeichern für Daten (Buffer) zu vermeiden. Der Empfänger muss demnach auch
- 10 Taktinformation erhalten, welche die exakte Datenrate zu allen Zeitpunkten definiert. Diese Taktinformation kann vom Sender selbst oder aber von einer externen Taktreferenz stammen, wobei im letztgenannten Fall auch der Sender auf diese externe Taktreferenz synchronisiert werden muss.

- 15 In beiden Fällen muss jedoch Taktinformation verteilt werden. Dabei ist häufig die Übertragung nicht ideal, d.h. der Takt wird bei der Verteilung mit Jitter überlagert. Deshalb kommt häufig eine Taktrückgewinnung zum Einsatz, deren Aufgabe es ist, diesen Jitter mittels Filterung zu
- 20 unterdrücken bzw. zu reduzieren (und gegebenenfalls auch die Taktfrequenz zu vervielfachen).

- Eine Taktrückgewinnung mit Jitterunterdrückung wird in der
- 25 Regel durch eine Phasenabgleichsschaltung PLL (Phase-locked loop) implementiert. Als Taktgenerator für die PLL werden häufig spannungsgesteuerte Oszillatoren VCO (Voltage controlled oscillator) eingesetzt. Solche VCOs haben als analoge Schaltungen jedoch den Nachteil, dass sie nur
- 30 umständlich auf einem anwendungsspezifischen integrierten Schaltkreis ASIC (application specific integrated circuit) integriert werden können.

Digital gesteuerte Oszillatoren DCO (Digital controlled oscillator) sind einem analogen VCO nicht nur bezüglich Integrierbarkeit in einem ASIC, sondern auch hinsichtlich ihres Leistungs- und Flächenbedarfs deutlich überlegen. Die meisten DCOs basieren auf einer DLL (Delay-locked loop) oder einem Ringoszillator. Ringoszillatoren können zwar zur Jitterunterdrückung (Jitterfilterung) verwendet werden, die niedrige Frequenzauflösung und die hohe Anfälligkeit auf Eigenjitter beschränken jedoch den Anwendungsbereich von Ringoszillatoren. Herkömmliche DLL-basierte Implementationen von DCOs können zwar die Frequenz des Eingangssignals vervielfachen, bieten aber keine Jitterfilterung an, da es sich nicht um eine echte Frequenzsynthese handelt.

Eine PLL mit einer DLL-basierten Lösung für einen DCO ist bereits in der US-A-2002/0008557 beschrieben. Der DCO wird von einem stabilen Oszillator getaktet. Ferner umfasst der DCO einen Addierer, der eine gewünschte Ausgangsfrequenz generiert. Ein Eingangswort wird wiederholt zu einem Startwert des Addierers hinzu addiert, sodass der Addierer periodisch vollläuft bzw. überläuft. Ist der Addierer vollgelaufen oder übergelaufen, so wird bei der nächsten ansteigenden Flanke des Eingangstakts (Takt vom stabilen Oszillator) eine ansteigenden Flanke des Ausgangssignals generiert. Falls bei der Generierung der ansteigenden Flanke des Ausgangssignals am Addierer ein sogenannter "Restterm" vorhanden ist (wenn also das zum Zählerstand der Addierers hinzu addierte Eingangswort grösser war als die noch vorhandene Kapazität des Addierers), so wird dieser Restterm (das ist derjenige Teil des Eingangsworts, der die Kapazität des Addierers überschreitet) in ein Register eingeschrieben und repräsentiert den zeitlichen Fehler des Ausgangssignals. Der Restterm wird dazu genutzt, eine mehrstufige Verzögerungsschaltung (Grobverzögerung, Feinverzögerung)

anzusteuern. Die Verzögerungsschaltung weist mehrere Verzögerungsstufen (Grobverzögerungsstufe, Feinverzögerungsstufe) auf, wobei jede Verzögerungsstufe mit einzelnen diskreten Abgriffen hinter jedem

5 Verzögerungselement versehen sind. Der Restterm steuert dabei, welcher der Abgriffe der Verzögerungsstufe jeweils abgegriffen wird, damit das Ausgangssignal (das ja einen zeitlichen Fehler aufweist, der durch den Restterm repräsentiert wird) so verzögert werden kann, dass der

10 zeitliche Fehler des Ausgangssignals kompensiert wird und das entsprechend verzögerte Ausgangssignal dann wieder phasenrichtig ist.

Um den jeweils geeigneten Abgriff auszuwählen, beinhaltet

15 die Verzögerungsstufe einen Multiplexer (Wähler), dessen Eingänge mit den einzelnen Abgriffen nach den jeweiligen Verzögerungselementen verbunden sind (und zwar jeweils ein Eingang des Multiplexers mit einem Abgriff hinter einem Verzögerungselement), sodass durch den Restterm der

20 Multiplexer so angesteuert werden kann, dass der entsprechende Abgriff, bei dem das Ausgangssignal so verzögert ist, dass der zeitliche Fehler kompensiert ist.

Dies erfolgt derart, dass in einer Grobverzögerungsstufe

25 aufgrund der darin enthaltenen Grobverzögerungselemente das Ausgangssignal zunächst grob verzögert wird. In der Grobverzögerungsstufe wird das Ausgangssignal so nahe wie möglich an die zur Kompensation des zeitlichen Fehlers erforderliche Verzögerung heran verzögert, wie dies aufgrund

30 der Verzögerung der einzelnen Grobverzögerungselemente möglich ist (bestenfalls genau bis zur erforderlichen Verzögerung; ist dies aufgrund der Verzögerung der einzelnen Grobverzögerungselemente nicht genau möglich, dann bis zu

mit dem Restterm kompensiert, so dass das Ausgangssignal phasenrichtig ist

zur Kompensation erforderlichen Verzögerung liegt). Sodann wird das von der Grobverzögerungsstufe verzögerte Signal in zumindest einer (oder auch in mehreren) Feinverzögerungsstufen weiter verzögert bis zum Erreichen der für die

5 Kompensation des zeitlichen Fehlers erforderlichen Verzögerung (bzw. so nahe an diese heran, wie dies aufgrund der Verzögerung der einzelnen Feinverzögerungselemente eben möglich ist). Die Feinverzögerungsstufe ist so ausgebildet, dass beim Durchlaufen sämtlicher Feinverzögerungselemente

10 (maximale Verzögerung der Feinverzögerungsstufe) eine Verzögerung auftritt, die genau einem Grobverzögerungselement entspricht.

Die Differenz zwischen der maximalen und der minimalen

15 Verzögerung der gesamten Verzögerungsschaltung (Grobverzögerungsstufe und Feinverzögerungsstufen) beträgt genau eine Periode des Eingangstakts (Takt des stabilen Oszillators).

20 Wie bereits erwähnt, müssen die Eingänge des Multiplexers mit den vielen einzelnen Abgriffen einer solchen Verzögerungsstufe verbunden werden, was für die Implementation einer solchen Verzögerungsstufe in einer integrierten Schaltung (z.B. auf Silizium) erhebliche

25 Schwierigkeiten bereitet, denn jeder Abgriff hinter einem Verzögerungselement muss mit einer gleich langen (oder besser gesagt: gleich kurzen) Verbindung mit dem Eingang des Multiplexers verbunden sein, damit es auf dem Weg von den Abgriffen hinter den einzelnen Verzögerungselementen zu den

30 Eingängen des Multiplexers zu keinen relevanten Laufzeitunterschieden kommt (sonst wäre die Genauigkeit der Verzögerung zumindest erheblich beeinträchtigt, wenn nicht sogar die Funktionsfähigkeit ernsthaft in Frage stehen würde).



Bei der in der US-A-2002/0008557 beschriebenen  
Grobverzögerungsstufe sind dies alleine 64 Abgriffe, die mit  
den Eingängen des Multiplexers zu verbinden sind. Über die  
5 genutzten 64 Abgriffe hinaus beinhalten die einzelnen  
Verzögerungsstufen jedoch in der Regel noch eine deutlich  
grössere Anzahl von Verzögerungselementen, die jedoch nicht  
immer alle genutzt werden, aber deren Abgriffe dennoch mit  
den Eingängen des Multiplexers zu verbinden sind, weil man  
10 je nach Anwendung ja vorher nicht weiss, wie viele  
Verzögerungselemente bei einer bestimmten Anwendung  
tatsächlich benötigt werden. Somit werden unter  
Berücksichtigung der Vorgabe, dass keine relevanten  
Laufzeitunterschiede auftreten dürfen, wenn man die Laufzeit  
15 der Signale zwischen den jeweiligen Abgriffen und den  
zugehörigen Eingängen des Multiplexers betrachtet, die  
Schwierigkeiten bei der Implementation einer solchen  
Verzögerungsstufe in Silizium unmittelbar einsichtig.

20 Es ist daher eine Aufgabe der Erfindung, einen digital  
gesteuerten Oszillator der vorstehend genannten Art  
vorzuschlagen, bei welchem jedoch die Implementation der  
Verzögerungsschaltung in einer integrierten Schaltung (z.B.  
auf Silizium) erheblich erleichtert ist.

25 Diese Aufgabe wird durch den erfindungsgemässen digital  
gesteuerten Oszillator gelöst, wie er durch die Merkmale des  
unabhängigen Patentanspruchs 1 charakterisiert ist.  
Vorteilhafte Ausführungsbeispiele eines solchen digital  
30 gesteuerten Oszillators ergeben sich aus den Merkmalen der  
abhängigen Patentansprüche.

Inbesondere umfasst jedes Grobverzögerungselement und jedes

unabhängige Verzögerungselement einen durch einen digital gesteuerten Oszillator

- Dies hat den Vorteil, dass nicht eine grosse Vielzahl von auf einzelne Abgriffe verteilte Signale allesamt zu einem Wähler geführt werden müssen, der dann den jeweiligen - der erforderlichen Verzögerung entsprechenden - Abgriff
- 5 auswählt. Dadurch wird eine einfachere Implementation in einer integrierten Schaltung möglich, weil eine Vielzahl von Abgriffen, nämlich hinter jedem einzelnen Verzögerungselement, nicht benötigt wird und auch nicht vorhanden ist.
- 10 Bei einem vorteilhaften Ausführungsbeispiel des erfindungsgemässen digital gesteuerten Oszillators umfasst das Grobverzögerungselement ein Verzögerungsglied und den Wähler, wobei ein Eingang des Wählers des jeweiligen Grobverzögerungselements mit dem Ausgang des
- 15 Verzögerungsglieds des gleichen Grobverzögerungselements und ein weiterer Eingang des Wählers mit dem Ausgang des Wählers des unmittelbar nachgeschalteten Grobverzögerungselements verbunden ist. Das heisst, dass jeder Wähler im Prinzip nur zwei Signalzuführungen benötigt, nämlich das Ausgangssignal
- 20 seines eigenen Verzögerungsglieds und das Ausgangssignal des Wählers des unmittelbar nachgeschalteten Verzögerungselements. Damit ist eine Implementation in Silizium auf besonders einfache Weise möglich, separate Abgriffe nach den einzelnen Verzögerungselementen existieren
- 25 nicht und werden auch nicht benötigt.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemässen digital gesteuerten Oszillators weist das Feinverzögerungselement einen gemeinsamen Eingang auf, sowie

30 mindestens zwei mit dem gemeinsamen Eingang verbundene Treiber. Am Ausgang von einem der beiden Treiber (im Falle von genau zwei Treibern) ist eine kapazitive Last vorgesehen. Ein Eingang des Wählers ist mit dem Ausgang des Treibers ohne die kapazitive Last und ein weiterer Eingang

des Wählers mit dem Ausgang des Treibers mit kapazitiver Last verbunden. Der Ausgang des Wählers des jeweiligen Feinverzögerungselements ist mit dem gemeinsamen Eingang des unmittelbar nachgeschalteten Feinverzögerungselements

5 verbunden. Durch das Aufladen der kapazitiven Last wird bewirkt, dass das Signal erst zu einem späteren Zeitpunkt anliegt, weil zunächst die kapazitive Last geladen werden muss. Da sowohl das Ausgangssignal des Treibers ohne kapazitive Last als auch das Ausgangssignal des Treibers mit  
10 kapazitiver Last an den Eingängen des Wählers anliegt, kann durch den Wähler auf einfache Weise ausgewählt werden, ob die durch die kapazitive Last bewirkte Verzögerung bei dem jeweiligen Verzögerungselement aktiviert ist oder nicht. Vorteilhaft daran ist auch, dass nur mit Treibern der  
15 gleichen Art eine Feinverzögerung erreicht werden kann, die kleiner ist als die Feinverzögerung eines einzelnen Treibers, weil die Durchlaufzeiten des Signals durch die beiden Zweige sich um weniger unterscheiden als die Durchlaufzeit durch einen einzelnen Treiber.

20

Bei einem weiteren vorteilhaften Ausführungsbeispiel des erfindungsgemässen digital gesteuerten Oszillators umfasst das Feinverzögerungselement mehrere Treiber, deren Eingänge miteinander zu einem gemeinsamen Eingang und deren Ausgänge  
25 miteinander zu einem gemeinsamen Ausgang verbunden sind. Dabei ist der Wähler derart ausgebildet, dass die einzelnen Treiber aktivierbar oder deaktivierbar sind. Der gemeinsame Ausgang ist mit dem gemeinsamen Eingang des unmittelbar nachgeschalteten Feinverzögerungselements verbunden. Der  
30 Wähler ist hier so realisiert, dass die einzelne Treiber aktiviert ("enabling") werden können oder nicht. Die einzelnen Treiber weisen jeweils eine Eingangskapazität auf, und zwar unabhängig davon, ob der jeweilige Treiber

vorangehenden Feinverzögerungselement also aktiviert sind, desto weniger Zeit wird benötigt, bis die Eingangskapazitäten des nachfolgenden Feinverzögerungselements aufgeladen sind, und desto

5 schneller liegt dann das Ausgangssignal am gemeinsamen Ausgang an. Auf diese Weise lässt sich also sehr einfach die Verzögerungszeit der einzelnen Verzögerungselemente einstellen.

10 Ferner betrifft die Erfindung noch eine Digitale Phasenabgleichsschaltung, mit einem Eingangstaktsignal, einem Phasenkomparator, einem Filter und einem digital gesteuerten Oszillator, sowie mit einem Rückkopplungszweig, der ein von dem digital gesteuerten Oszillator erzeugtes

15 Ausgangssignal zu dem Phasenkomparator zurückführt, gegebenenfalls unter Frequenzteilung. Der digital gesteuerte Oszillator ist dabei so ausgebildet wie vorstehend beschrieben.

20 Weitere vorteilhafte Ausgestaltungen des erfindungsgemässen digital gesteuerten Oszillators ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen anhand der Zeichnung.

25 Es zeigen:

Fig. 1 ein Blockschaltbild eines Ausführungsbeispiels einiger wesentlicher Elemente eines erfindungsgemässen digital gesteuerten Oszillators (DCO),

30

Fig. 2 eine Darstellung eines stabilen Eingangstakts des DCO und eines vom DCO erzeugten Ausgangstakts,

Fig. 3 eine Periode des stabilen Eingangstakts mit einer  
möglichen Unterteilung dieser Periode in  
Zeitabschnitte, die den Verzögerungen der  
Grobverzögerungselemente und den Verzögerungen der  
Feinverzögerungselemente entsprechen,

Fig. 4 ein Blockschaltbild zur Erläuterung des Kalibrier-  
vorgangs bei der Kalibrierung der Grobverzögerungs-  
stufe,

Fig. 5 ein Blockschaltbild zur Erläuterung des Kalibrier-  
vorgangs bei der Kalibrierung der Feinverzögerungs-  
stufe,

Fig. 6 ein Ausführungsbeispiel für eine Grobverzögerungs-  
stufe mit einzelnen Grobverzögerungselementen,

Fig. 7 ein erstes Ausführungsbeispiel für eine Feinver-  
zögerungsstufe mit einzelnen Feinverzögerungs-  
elementen,

Fig. 8 ein zweites Ausführungsbeispiel für eine Feinver-  
zögerungsstufe mit einzelnen Feinverzögerungs-  
elementen,

und

Fig. 9 ein Blockschaltbild einer Phasenabgleichsschaltung  
(PLL) mit einem erfindungsgemässen DCO.

In dem Blockschaltbild in Fig. 1 erkennt man einige  
wesentliche Elemente eines Ausführungsbeispiels eines

umfasst einen Addierer 10 zum Aufsummieren von digitalen Eingangswörtern 100, welche dem Addierer 10 zugeführt werden. Diese digitalen Eingangswörter sind repräsentativ für die jeweils am Ausgang des digital gesteuerten

5 Oszillators 1 erzeugte Frequenz. Die digitalen Eingangswörter 100 werden im Addierer 10 aufsummiert, der die Verzögerungsstufen, im hier gezeigten Ausführungsbeispiel eine Grobverzögerungsstufe 11 und eine Feinverzögerungsstufe 12, in noch näher zu erläuternder

10 Weise ansteuert. Die Grobverzögerungsstufe 11 umfasst mehrere Grobverzögerungselemente 110, die Feinverzögerungsstufe 12 umfasst mehrere Feinverzögerungselemente 120, wobei aus Gründen der besseren Übersichtlichkeit in Fig. 1 jeweils nur eine sehr begrenzte Anzahl von Grobverzögerungselementen 110

15 und Feinverzögerungselementen 120 dargestellt ist.

In Fig. 2 erkennt man den Eingangstakt eines stabilen lokalen Oszillators mit der konstanten Frequenz  $f_0$ , wobei der stabile lokale Oszillator in Fig. 1 nicht dargestellt

20 ist, solche stabilen lokalen Oszillatoren (z.B. hochstabile Quartz-Oszillatoren) sind hinreichend bekannt. Die Ausgangsfrequenz  $f$  des von dem digital gesteuerten Oszillator erzeugten Ausgangstakts unterscheidet sich gegenüber der Frequenz  $f_0$  des Eingangstakts, der von dem

25 stabilen lokalen Oszillator erzeugt wird. Der digital gesteuerte Oszillator erzeugt hier also aufgrund der Eingangswörter eine Frequenz  $f$ , welche von der Frequenz  $f_0$  des Eingangstakts verschieden ist.

30 Dies erkennt man in Fig. 2 auf einfache Weise daran, dass die Phasendifferenz  $\Delta\phi$  zwischen der jeweiligen ansteigenden Flanke des Eingangstakts mit der Frequenz  $f_0$  und der ansteigenden Flanke des Ausgangstakts mit der (hier ebenfalls konstanten) Frequenz  $f$  stets um einen konstanten

Betrag zunimmt. Eine konstante Zunahme der Phasendifferenz  $\Delta\Phi$  bedeutet jedoch nichts anderes als einen konstanten Frequenzunterschied.

- 5 Im Prinzip geht es ja darum, mit Hilfe des digital gesteuerten Oszillators einen eventuell mit Jitter behafteten Takt durch einen jitterarmen Takt (gleicher Frequenz und Phase) zu ersetzen, der mit Hilfe des (jitterfreien) Eingangstakts des stabilen lokalen
- 10 Oszillators (bzw. durch einen Takt mit einem Vielfachen oder einem Teil dieser Taktfrequenz) erzeugt wird, wobei auch die Verzögerungsstufen zum Einsatz kommen. Wie diese Nachbildung des Eingangstakts mit Hilfe eines (jitterfreien) Eingangstakts des stabilen lokalen Oszillators vom
- 15 grundsätzlichen Prinzip her erfolgt, geht bereits aus der eingangs genannten US-A-2002/0008557 hervor.

- Dazu muss allerdings bekannt sein, wie viele Grobverzögerungselemente 110 und wie viele Feinverzögerungselemente
- 20 120 erforderlich sind, und wie viele Feinverzögerungselemente 120 benötigt werden, um bei sämtlichen aktivierten Grobverzögerungselementen 110 die maximal zulässige Verzögerung (die Differenz zwischen maximaler und minimaler Verzögerung darf höchstens eine Periodendauer des stabilen
- 25 Eingangstakts sein) zu bewirken.

- In Fig. 3 ist eine Periode des Eingangstakts mit der Frequenz  $f_0$  und der entsprechenden Periodendauer  $T_0$  (wobei gilt :  $T_0 = 1/f_0$ ) dargestellt, mit einer möglichen
- 30 Unterteilung der Periodendauer  $T_0$  in Zeitabschnitte  $T_c$  bzw.  $T_f$ , die den Verzögerungen der Grobverzögerungselemente 110 (Fig. 1) und den Verzögerungen der Feinverzögerungselemente 120 (Fig. 1) entsprechen

Aus Fig. 3 lässt sich erkennen, dass die erforderliche Anzahl von Grobverzögerungselementen 110 so bestimmt wird, dass die Summe der Verzögerungen  $T_c$ , die von dieser Anzahl von Grobverzögerungselementen 110 bewirkt wird, gerade  
5 kleiner ist als eine Periodendauer  $T_0$  des Eingangstakts. Die erforderliche Anzahl von Feinverzögerungselementen 120 wird hingegen so bestimmt, dass die Summe der Verzögerungen  $T_f$ , die von dieser Anzahl von Feinverzögerungselementen 120 bewirkt wird, gerade der Verzögerung  $T_c$  eines  
10 Grobverzögerungselements 110 entspricht. Ausserdem muss auch noch die erforderliche Anzahl von Feinverzögerungselementen 120 bestimmt werden, die erforderlich ist, um eine Gesamtverzögerung zu erreichen, die genau einer Periodendauer  $T_0$  des Eingangstakts entspricht (bzw. gerade  
15 eben kleiner ist), also die Differenz zwischen der Periodendauer  $T_0$  des Eingangstakts und der Verzögerung, die durch die zuvor bestimmte Anzahl von Grobverzögerungselementen bewirkt wird. Diese Differenz entspricht ebenfalls einer Anzahl von Feinverzögerungselementen, die jedoch  
20 kleiner ist als die insgesamt erforderliche Anzahl von Feinverzögerungselementen. Dennoch muss auch diese Anzahl von Feinverzögerungselementen bestimmt werden, da der Unterschied zwischen der maximalen und der minimalen Gesamtverzögerung, die durch beide Verzögerungsstufen  
25 zusammen bewirkt werden, kleiner sein muss als eine Periodendauer  $T_0$  des Eingangstakts.

In Fig. 4 ist ein Blockschaltbild zu erkennen, wie der Kalibriervorgang bei der Kalibrierung der Grobverzögerungs-  
30 stufe 11 erfolgt, also wie die Anzahl der Grobverzögerungselemente 110 bestimmt wird, die zusammen eine Grobverzögerung bewirken, die gerade noch unterhalb einer Periodendauer  $T_0$  des Eingangstakts vom stabilen lokalen Oszillator mit der Frequenz  $f_0$  liegt. Zu diesem Zweck werden



zwei Zweige mit einem stabilen Eingangstakt der Frequenz  $f_0/4$  (Periodendauer  $4T_0$ ) als Signal beaufschlagt. Dieses Taktsignal mit der Frequenz  $f_0/4$  kann beispielsweise durch sogenanntes "clock-gating" aus dem Taktsignal mit der

5 Frequenz  $f_0$  des stabilen lokalen Oszillators gewonnen werden (Frequenzteilung). Diese niedrigere Frequenz kann erforderlich werden, weil die "Offset-Verzögerungen" der Verzögerungsstufen 11,12 zu gross sein können, um das Taktsignal mit der Frequenz  $f_0$  des stabilen lokalen

10 Oszillators direkt verwenden zu können, was z.B. an der Wahl eines bestimmten Halbleiters für die integrierte Schaltung liegen kann. Bei der Wahl von sehr schnellen Halbleitern (oder einer niedrigeren Frequenz des stabilen lokalen Oszillators) kann auch die Frequenz  $f_0$  des stabilen lokalen

15 Oszillators direkt verwendet werden.

In dem ersten Zweig ist eine zu kalibrierende Grobverzögerungsstufe 11 enthalten, die eine Anzahl von Grobverzögerungselementen 110 umfasst. An diese Grobver-

20 zögerungsstufe 11 schliesst sich eine Feinverzögerungsstufe 12 an, die im Leerlauf durchlaufen wird (kein Feinverzögerungselement aktiviert) und die im Grunde nur deshalb vom Signal durchlaufen wird, weil sie eine "Offset"-Verzögerung aufweisen kann, ohne dass auch nur ein einziges

25 Feinverzögerungselement 120 aktiviert ist.

In dem zweiten Zweig durchläuft das Signal zunächst ein Verzögerungsglied 13, welches das Signal um genau die Dauer  $T_0$  verzögert, das Signal im zweiten Zweig ist dann also

30 gegenüber dem Signal im ersten Zweig um ein Viertelperiode verzögert. Sodann durchläuft das Signal eine Grobverzögerungsstufe 11, die im Leerlauf betrieben wird. Auch die daran anschliessende Feinverzögerungsstufe 12 im

Feinverzögerungselement aktiviert).

Die Ausgangssignale der Feinverzögerungsstufen 12 in den beiden Zweigen wird nun einem Phasenkomparator 14 zugeführt, welcher die Phasen der beiden Signale miteinander vergleicht. Da das Signal, welches den zweiten Zweig durchlaufen hat, gegenüber dem Signal, welches den ersten Zweig durchlaufen hat, ohne Berücksichtigung der Grobverzögerungsstufe 11 im ersten Zweig um ein Viertel der Periodendauer (nämlich um  $T_0$ , man beachte: Periodendauer des Signals ist hier  $4T_0$ ) nacheilt, muss die Anzahl der Grobverzögerungselemente 110 in der zu kalibrierenden Grobverzögerungsstufe 11 im ersten Zweig nun so ermittelt werden, dass das Signal beim Durchlaufen der so ermittelten Anzahl von Grobverzögerungselementen 110 beinahe phasengleich mit dem Signal ist, welches den zweiten Zweig durchlaufen hat.

Dazu wird zunächst ein Grobverzögerungselement 110 im ersten Zweig aktiviert, und der Phasenkomparator 14 vergleicht jeweils die Phasen der Ausgangssignale der Feinverzögerungsstufen 12 in den beiden Zweigen. Entspricht die Phasendifferenz einer Verzögerung, die grösser ist als die Verzögerung durch ein Grobverzögerungselement 110, so wird durch eine Steuerung 15 ein weiteres Grobverzögerungselement 110 aktiviert. Anschliessend durchläuft wieder das Signal (stabiler Eingangstakt) die beiden Zweige und am Phasenkomparator 14 erfolgt ein erneuter Vergleich der Phasen. Dies wird so lange wiederholt, bis die Phasendifferenz am Phasenkomparator 14 gerade kleiner ist als sie einer Verzögerung durch ein Grobverzögerungselement 110 entspricht. Somit ist die erforderliche Anzahl von Grobverzögerungselementen 110 ermittelt.

Wie die Kalibrierung der Feinverzögerungsstufe 12 erfolgt, kann man anhand von Fig. 5 erkennen. Es muss also die Anzahl von Feinverzögerungselementen 120 in einer Feinverzögerungsstufe 12 ermittelt werden, welche zusammen eine Verzögerung bewirken, die der Verzögerung eines einzigen Grobverzögerungselements 110 der Grobverzögerungsstufe 11 entspricht. Dazu werden zwei Zweige mit einem stabilen Eingangstakt, z.B. dem Takt vom stabilen lokalen Oszillator (Frequenz  $f_0$ , Periodendauer  $T_0$ ) als Signal beaufschlagt.

Im zweiten Zweig durchläuft das Signal eine Grobverzögerungsstufe 11 mit einem einzigen aktivierten Verzögerungselement 110 und anschliessend eine im Leerlauf befindliche Feinverzögerungsstufe 12 (kein Feinverzögerungselement 120 aktiviert).

Im ersten Zweig durchläuft das Signal eine im Leerlauf befindliche Grobverzögerungsstufe 11 (kein Grobverzögerungselement 110 aktiviert) und anschliessend eine zu kalibrierende Feinverzögerungsstufe 12. Die Ausgangssignale der Feinverzögerungsstufen 12 in der beiden Zweige werden dem Phasenkomparator 14 zugeführt, welcher die Phasen der beiden Signale miteinander vergleicht.

Lässt man zunächst die durch die Feinverzögerungselemente 120 im ersten Zweig bewirkte Verzögerung ausser Acht, so ist das Ausgangssignal des zweiten Zweigs um die von dem einzigen aktivierten Grobverzögerungselement 110 bewirkte Grobverzögerung gegenüber dem Signal im ersten Zweig verzögert. Diese Verzögerung entspricht einer Phasendifferenz, die am Phasenkomparator 14 anliegt. Anschliessend durchläuft wieder das Signal (stabiler Eingangstakt) die beiden Zweige und am Phasenkomparator

lange wiederholt, bis die Phasendifferenz am Phasenkomparator 14 gerade kleiner ist als sie einer Verzögerung durch ein Grobverzögerungselement 110 entspricht. Somit ist die erforderliche Anzahl von Grobverzögerungselementen 110 ermittelt.

Entspricht diese Phasendifferenz einer Verzögerung, die noch immer grösser ist als die Verzögerung eines Feinverzögerungselements 120, so wird durch die Steuerung 15 ein weiteres Feinverzögerungselement 120 in der Feinverzögerungsstufe 12 im ersten Zweig aktiviert. Anschliessend durchläuft wieder das Signal (stabiler Eingangstakt) die beiden Zweige und am Phasenkomparator erfolgt ein erneuter Vergleich der Phasen. Dies wird solange wiederholt, bis die Phasendifferenz am Phasenkomparator 14 null ist (bzw. bis die Phasendifferenz einer Verzögerung entspricht, die kleiner ist als die Verzögerung eines Feinverzögerungselements 120). Die Anzahl der erforderlichen Feinverzögerungselemente 120, die einem Grobverzögerungselement 110 entsprechen, ist somit ermittelt.

Schliesslich muss noch ermittelt werden, wie viele Feinverzögerungselemente 120 zusätzlich zu der ermittelten Anzahl von Grobverzögerungselementen 110 erforderlich sind, um eine Verzögerung hervorzurufen, die genau der Periodendauer  $T_0$  des Eingangstakts entspricht. Dies erfolgt prinzipiell auf die gleiche Art und Weise wie bei der Ermittlung der erforderlichen Anzahl von Grobverzögerungselementen 110 (also Frequenz  $f_0/4$ , Periodendauer  $4T_0$ ), wobei jedoch die Anzahl der Grobverzögerungselemente 110 vorgegeben ist (das ist nämlich diejenige Anzahl von Grobverzögerungselementen, die eine Verzögerung bewirken, die um weniger als die Verzögerung eines einzigen

Grobverzögerungselements kleiner ist als die Periodendauer  $T_0$  des Takts vom stabilen lokalen Oszillator). Es wird dann lediglich die Anzahl der Feinverzögerungselemente 120 bestimmt, die zusammen mit den Grobverzögerungselementen 110  
5 eine Verzögerung bewirkt, die genau einer Periodendauer entspricht (bzw. eine Verzögerung bewirken, die um weniger als die Verzögerung eines einzigen Feinverzögerungselements kleiner ist als die Periodendauer des Eingangstakts).

10 Mit diesen drei Informationen (Anzahl der maximal erforderlichen Grobverzögerungselemente, Anzahl der maximal erforderlichen Feinverzögerungselemente, Anzahl der erforderlichen Feinverzögerungselemente zum Erreichen der maximalen Verzögerungsdauer) ist die Kalibrierung  
15 abgeschlossen.

Die jeweilige Gesamtverzögerung (Verzögerung der Grobverzögerungsstufe 11 und der Feinverzögerungsstufe 12) ist nun immer dem akkumulierten Zählerstand des Addierers 10  
20 proportional. Wird ein Zählerstand erreicht, welcher der maximal möglichen Verzögerung entspricht, erfolgt ein sogenanntes "gating" (die nächste ansteigende Flanke des Eingangstakts wird ignoriert), der Zähler wird wieder zurückgesetzt, und der den maximalen Zählerstand  
25 überschreitende Teil des letzten Eingangsworts wird genutzt, um die Grobverzögerungsstufe 11 und die Feinverzögerungsstufe 12 anzusteuern. Anschliessend werden die digitalen Eingangswörter wieder so lange aufaddiert und der akkumulierte Zählerstand entspricht wieder der  
30 jeweiligen Gesamtverzögerung, bis der Zähler erneut überläuft, und so weiter.

In Fig. 6 ist ein bevorzugtes Ausführungsbeispiel einer

Verzögerungselemente, die aus einer Anzahl von Verzögerungselementen

elementen 110 zu erkennen. Man erkennt, dass jedes  
Grobverzögerungselement 110 ein Verzögerungsglied 110b und  
einen Wähler 110c umfasst. Der Eingang des Wählers 110c des  
jeweiligen Grobverzögerungselements 110 ist mit dem Ausgang  
des gleichen Grobverzögerungselements 110 verbunden. Ein  
weiterer Eingang des Wählers 110c ist mit dem Ausgang des  
Wählers des unmittelbar nachgeschalteten  
Verzögerungselements 110 verbunden.

Betrachtet man beispielsweise das erste Verzögerungselement  
110 (in Fig. 6 das ganz links angeordnete), so durchläuft  
das am Eingang 110a anliegende Signal zunächst das  
Verzögerungsglied 110b und liegt sodann bereits an einem  
Eingang des Wählers 110c des gleichen Verzögerungselements  
110 an. Würde der Wähler 110c des ersten Verzögerungs-  
elements 110 so angesteuert, dass der Eingang des Wählers  
110c, an welchem das von dem Verzögerungsglied 110b  
verzögerte Signal anliegt, auf den Ausgang 110d  
durchgeschaltet - der hier gleichzeitig dem Ausgang 110e der  
Grobverzögerungsstufe 11 entspricht, so würde das  
Ausgangssignal der Grobverzögerungsstufe 11 insgesamt  
lediglich um die durch das Verzögerungsglied 110a und den  
Wähler 110c bewirkte Verzögerung verzögert. Die  
nachgeschalteten Verzögerungselemente 110 wären entsprechend  
nicht aktiviert.

Die nachgeschalteten Verzögerungselemente 110 sind in  
gleicher Weise ausgebildet wie das erste Verzögerungselement  
110, lediglich beim letzten Verzögerungselement 110 (das in  
Fig. 6 ganz rechts angeordnete) liegt an beiden Eingängen  
des Wählers 110c das gleiche Signal an, welches um eine der  
Anzahl der Verzögerungselemente 110 entsprechende  
Verzögerung an den Eingängen des Wählers 110c dieses letzten  
Verzögerungselements 110 anliegt.

Welches Signal jeweils auf den Ausgang 110d eines Wählers durchgeschaltet wird, wird mit Hilfe eines Wahlanschlusses 110f am jeweiligen Wähler 110c festgelegt. Somit liegen an  
5 den Eingängen eines jeden Wählers 110c nur zwei Signale an, die Signalführung gestaltet sich entsprechend einfach und ist sehr gut in Silizium zu implementieren.

In Fig. 7 ist ein erstes Ausführungsbeispiel einer  
10 Feinverzögerungsstufe 12 zu erkennen. Dieses Ausführungsbeispiel der Feinverzögerungsstufe 12 umfasst mehrere Feinverzögerungselemente 120, die jeweils einen Eingang 120a und einen Ausgang 120b haben. Der Ausgang 120b eines vorangehenden Feinverzögerungselements 120 (z.B. das  
15 Feinverzögerungselement 120 ganz links) ist jeweils mit dem Eingang 120a des nachfolgenden Feinverzögerungselements 120 (das zweite Feinverzögerungselement 120 von links) verbunden. Der Ausgang 120b des letzten Feinverzögerungselements 120 ist gleichzeitig der Ausgang der  
20 Feinverzögerungsstufe 12.

Jedes Feinverzögerungselement 120 umfasst zwei Zweige, einen ersten Zweig mit einem sogenannten "Buffer" 120c, dessen Ausgang an einen Eingang eines Wählers 120f angeschlossen  
25 ist, und einen zweiten Zweig, in welchem ein weiterer Buffer 120d vorgesehen ist, dessen Ausgang einerseits mit einem weiteren Eingang des Wählers 120f verbunden ist und an dem andererseits ein weiterer Buffer 120e angehängt ist. Der Eingang des Feinverzögerungselements verzweigt sich auf die  
30 beiden Zweige (grundsätzlich könnten auch mehrere solche Zweige vorgesehen sein, bei dem gezeigten Ausführungsbeispiel sind es jedoch genau zwei).

und 120e) benötigt das Signal mehr Zeit, bis es am Ausgang des Wählers 120f anliegt, weil der zweite Buffer 120e als kapazitive Last betrachtet werden kann, die erst aufgeladen werden muss, bevor dann das Signal am Eingang des Wählers  
5 liegt und auf dessen Ausgang 120b durchgeschaltet werden kann. Somit entspricht das Durchlaufen des zweiten Zweigs einer Zeitverzögerung, weil das Signal eben erst später am Eingang des Wählers und damit auch an dessen Ausgang anliegen kann. Der Wähler umfasst einen Wahlanschluss 120g ,  
10 mit welchem ausgewählt werden kann, ob das Signal des ersten Zweigs oder das Signal des zweiten Zweigs auf den Ausgang 120b durchgeschaltet wird. So kann bei jedem einzelnen Feinverzögerungselement 120 separat eingestellt werden, ob das Signal, welches den ersten Zweig durchlaufen hat, oder das  
15 Signal, welches den zweiten Zweig durchlaufen hat, eingestellt werden. Dies entspricht nichts anderem als der Einstellung der Feinverzögerung, die in der weiter oben bereits ausführlich geschilderten Kalibrierung eingestellt wird.

20

In Fig. 8 ist ein zweites Ausführungsbeispiel der Feinverzögerungsstufe 12 mit mehreren Feinverzögerungselementen 120 dargestellt. Bei diesem Ausführungsbeispiel der Feinverzögerungsstufe 12 umfasst jedes  
25 Feinverzögerungselemente 120 einen Eingang 120h und einen Ausgang 120i. Der Ausgang 120i eines vorangehenden Feinverzögerungselements 120 (z.B. das Feinverzögerungselement 120 ganz links) ist jeweils mit dem Eingang 120h des nachfolgenden Feinverzögerungselements 120  
30 (das zweite Feinverzögerungselement 120 von links) verbunden. Der Ausgang 120i des letzten Feinverzögerungselements 120 ist gleichzeitig der Ausgang der Feinverzögerungsstufe 12.



- Jedes Feinverzögerungselement 120 umfasst mehrere Zweige, in denen jeweils ein sogenannter "Tristate-Buffer" 120j vorgesehen ist. Im dargestellten Ausführungsbeispiel sind es insgesamt vier parallele Zweige, in denen jeweils ein
- 5 Tristate-Buffer 120j angeordnet ist. Der Eingang 120h des Feinverzögerungselements 120 verzweigt sich dabei auf die vier Zweige, in denen die Tristate-Buffer 120j angeordnet sind.
- 10 Der Wähler ist hier so ausgebildet, dass jeder Tristate-Buffer 120j mit Hilfe eines eigenen Wahlanschlusses 120k aktivierbar oder deaktivierbar ist. Die Tristate-Buffer weisen eine Eingangskapazität auf, unabhängig davon, ob sie aktiviert sind oder nicht. Je mehr Buffer innerhalb eines
- 15 Feinverzögerungselements 120 aktiviert sind, desto weniger lange dauert es, bis die Eingangskapazität des nachfolgenden Verzögerungselements aufgeladen ist, und desto schneller liegt das Signal am Ausgang des jeweiligen Feinverzögerungselements 120 an. Die Kalibrierung der Feinverzögerungsstufe
- 20 erfolgt auch hier in der bereits weiter oben beschriebenen Art und Weise.

- In Fig. 9 erkennt man in einem Blockschaltbild wesentliche Elemente einer Phasenabgleichsschaltung PLL (Phase-locked
- 25 loop), welche einen digital gesteuerten Oszillator umfasst, wie er vorstehen beschrieben ist. Die Phasenabgleichsschaltung PLL umfasst einen Phasenkomparator 2, ein Filter 3 zum Herausfiltern von hochfrequentem Jitter, einen digital gesteuerten Oszillator 1, der so ausgebildet ist wie
- 30 vorstehend beschrieben, sowie im Rückkopplungszweig einen Frequenzteiler 4.

Das mit Jitter behaftete Eingangs(takt)signal (das übrigens  
... ..) wird ... ..

durch den stabilen lokalen Oszillator des DCO erzeugt wird)  
soll durch ein jitterarmes Ausgangs-Taktsignal frequenz- und  
phasenrichtig nachgebildet werden. Dies erfolgt mit Hilfe  
des digital gesteuerten Oszillators, wie er vorstehend  
5 beschrieben ist, wobei am Phasenkomparator 2 die  
Phasenrichtigkeit überprüft wird.

Patentansprüche

1. Digital gesteuerter Oszillator (1) zum Erzeugen eines phasenrichtigen Ausgangssignals einer gewünschten Frequenz, mit einem Eingang zum Zuführen eines digitalen Eingangsworts (100), mit einem Addierer (10) zum Aufsummieren der digitalen Eingangswörter (100), mit einem stabilen lokalen Oszillator zum Zuführen eines Taktsignals mit konstanter Frequenz, sowie mit einer Verzögerungsschaltung (11,12), welche eine

10 Grobverzögerungsstufe (11) mit einer Mehrzahl von hintereinander geschalteten Grobverzögerungselementen (110) sowie eine Feinverzögerungsstufe (12) mit einer Mehrzahl von hintereinander geschalteten Feinverzögerungselementen (120) umfasst, wobei die Grobverzögerungsstufe (11) und die

15 Feinverzögerungsstufe (12) so ausgebildet sind, dass die von der Grobverzögerungsstufe (11) und der Feinverzögerungsstufe (12) bewirkte Gesamtverzögerung so bemessen ist, dass sich die maximale Gesamtverzögerung und die minimale Gesamtverzögerung der Verzögerungsschaltung (11,12) um

20 höchstens eine Periode des Taktsignals unterscheiden, und wobei die Mehrzahl von Feinverzögerungselementen (120) der Verzögerung eines Grobverzögerungselements (110) entspricht, **dadurch gekennzeichnet**, dass jedes Grobverzögerungselement (110) und jedes Feinverzögerungselement (120) einen eigenen

25 ansteuerbaren Wähler (110c;120f;120k) umfasst.

2. Digital gesteuerter Oszillator (1) nach Anspruch 1, bei welchem das Grobverzögerungselement (110) ein Verzögerungsglied (110b) und den Wähler (110c) umfasst,

30 wobei ein Eingang des Wählers (110c) des jeweiligen Grobverzögerungselements (110) mit dem Ausgang des

Verzögerungsglieds (110b) des gleichen

... ..

Wählers (110c) mit dem Ausgang (110d) des Wählers (110c) des unmittelbar nachgeschalteten Grobverzögerungselements (110) verbunden ist.

5 3. Digital gesteuerter Oszillator (1) nach einem der Ansprüche 1 oder 2, bei welchem das Feinverzögerungselement (120) einen gemeinsamen Eingang (120a) aufweist, sowie mindestens zwei mit dem gemeinsamen Eingang verbundene  
10 Treiber (120c, 120d), wobei am Ausgang von einem der beiden Treiber (120d) eine kapazitive Last (120e) vorgesehen ist, bei welchem Oszillator ferner ein Eingang des Wählers (120f) mit dem Ausgang des Treibers (120c) ohne die kapazitive Last und ein weiterer Eingang des Wählers (120f) mit dem Ausgang des Treibers (120d) mit kapazitiver Last (120e) verbunden  
15 ist, und bei welchem Oszillator der Ausgang des Wählers (120f) des jeweiligen Feinverzögerungselements (120) mit dem gemeinsamen Eingang (120a) des unmittelbar nachgeschalteten Feinverzögerungselements (120) verbunden ist.

20 4. Digital gesteuerter Oszillator nach einem der Ansprüche 1 oder 2, bei welchem das Feinverzögerungselement (120) mehrere Treiber (120j) umfasst, deren Eingänge miteinander zu einem gemeinsamen Eingang (120h) und deren Ausgänge miteinander zu einem gemeinsamen Ausgang (120i) verbunden  
25 sind, bei welchem ferner der Wähler (120k) derart ausgebildet ist, dass die einzelnen Treiber aktivierbar oder deaktivierbar sind, und bei welchem der gemeinsame Ausgang (120i) mit dem gemeinsamen Eingang (120h) des unmittelbar nachgeschalteten Feinverzögerungselements (120) verbunden  
30 ist.

5. Digitale Phasenabgleichsschaltung (PLL), mit einem Eingangstaktsignal, mit einem Phasenkomparator (2), mit einem Filter (3), mit einem digital gesteuerten Oszillator

(1), und mit einem Rückkopplungsweig, welcher ein von dem digital gesteuerten Oszillator (1) erzeugtes Ausgangssignal zu dem Phasenkomparator (2) zurückführt, gegebenenfalls unter Frequenzvervielfachung (4) oder Frequenzteilung, s **dadurch gekennzeichnet**, dass der digital gesteuerte Oszillator (1) gemäss einem der vorangehenden Ansprüche ausgebildet ist.

### Zusammenfassung

Ein digital gesteuerter Oszillator (1) umfasst einen Eingang zum Zuführen eines digitalen Eingangsworts (100), einen Addierer (10), einen stabilen lokalen Oszillator, sowie eine  
5 Verzögerungsschaltung (11,12), welche eine Grobverzögerungsstufe (11) mit einer Mehrzahl von hintereinander geschalteten Grobverzögerungselementen (110) sowie eine Feinverzögerungsstufe (12) mit einer Mehrzahl von hintereinander geschalteten Feinverzögerungselementen (120)  
10 umfasst. Die Grobverzögerungsstufe (11) und die Feinverzögerungsstufe (12) sind so ausgebildet, dass die von der Grobverzögerungsstufe (11) und der Feinverzögerungsstufe (12) bewirkte Gesamtverzögerung so bemessen ist, dass sich die maximale Gesamtverzögerung und die minimale  
15 Gesamtverzögerung um höchstens eine Periode des Taktsignals unterscheiden. Die Verzögerung durch die Mehrzahl von Feinverzögerungselementen (120) entspricht der Verzögerung eines Grobverzögerungselements (110). Jedes Grobverzögerungselement (110) und jedes  
20 Feinverzögerungselement (120) umfasst einen eigenen ansteuerbaren Wähler (110c;120f;120k).

(Fig. 1)

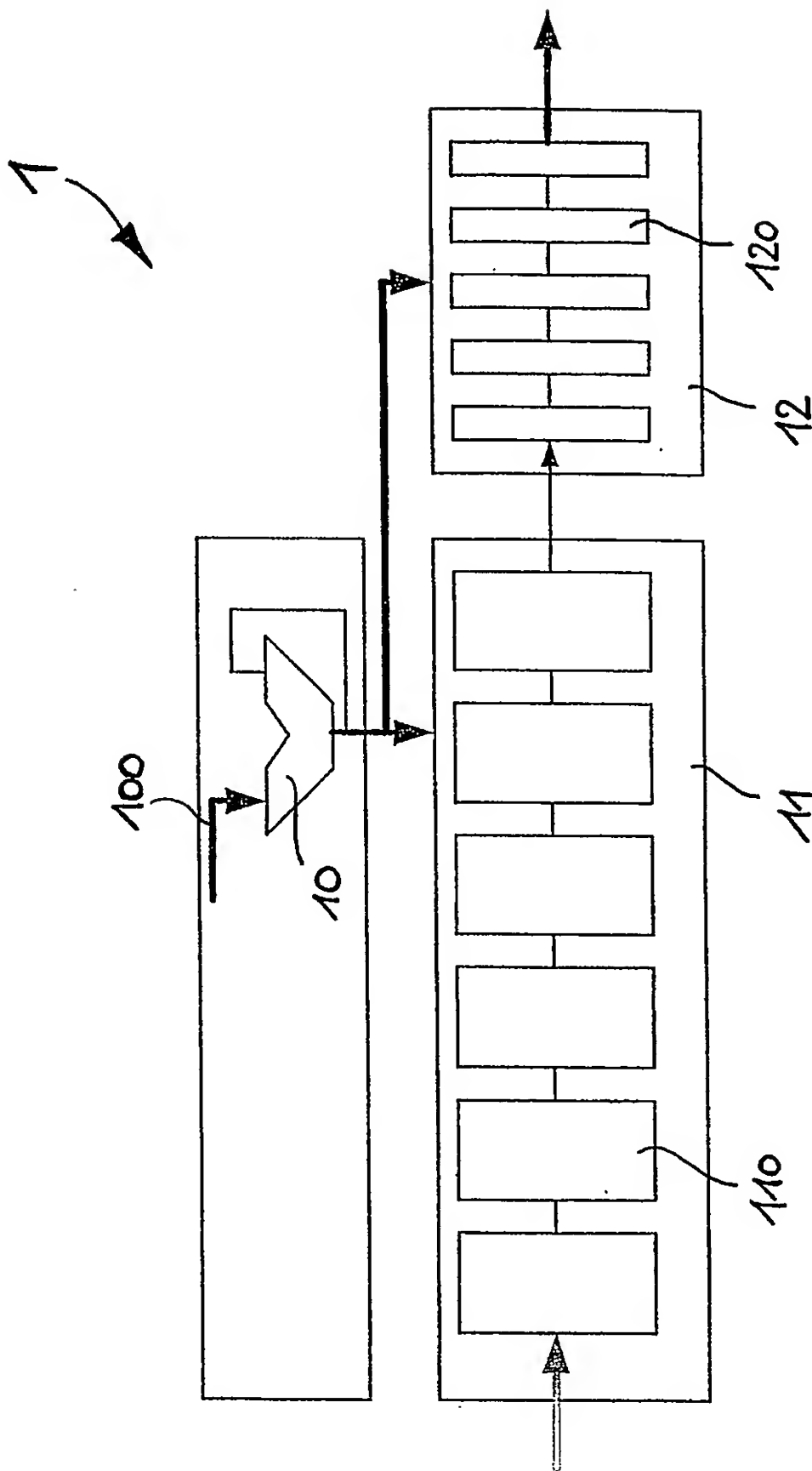


Fig. 1

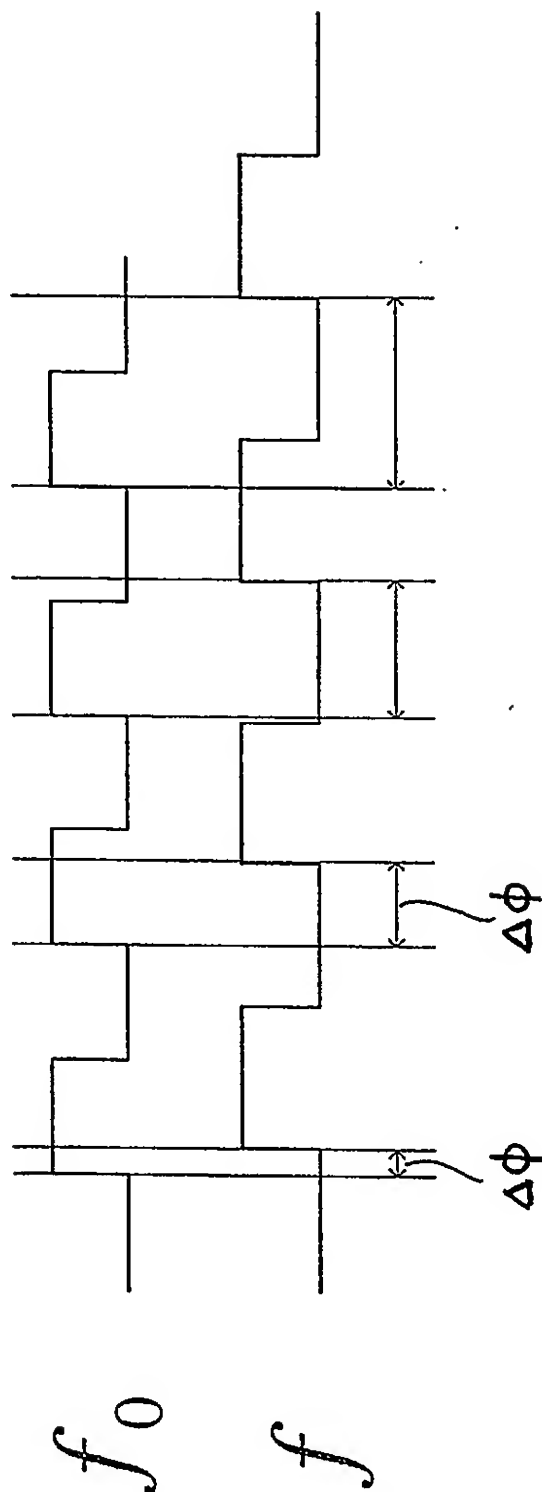


Fig. 2



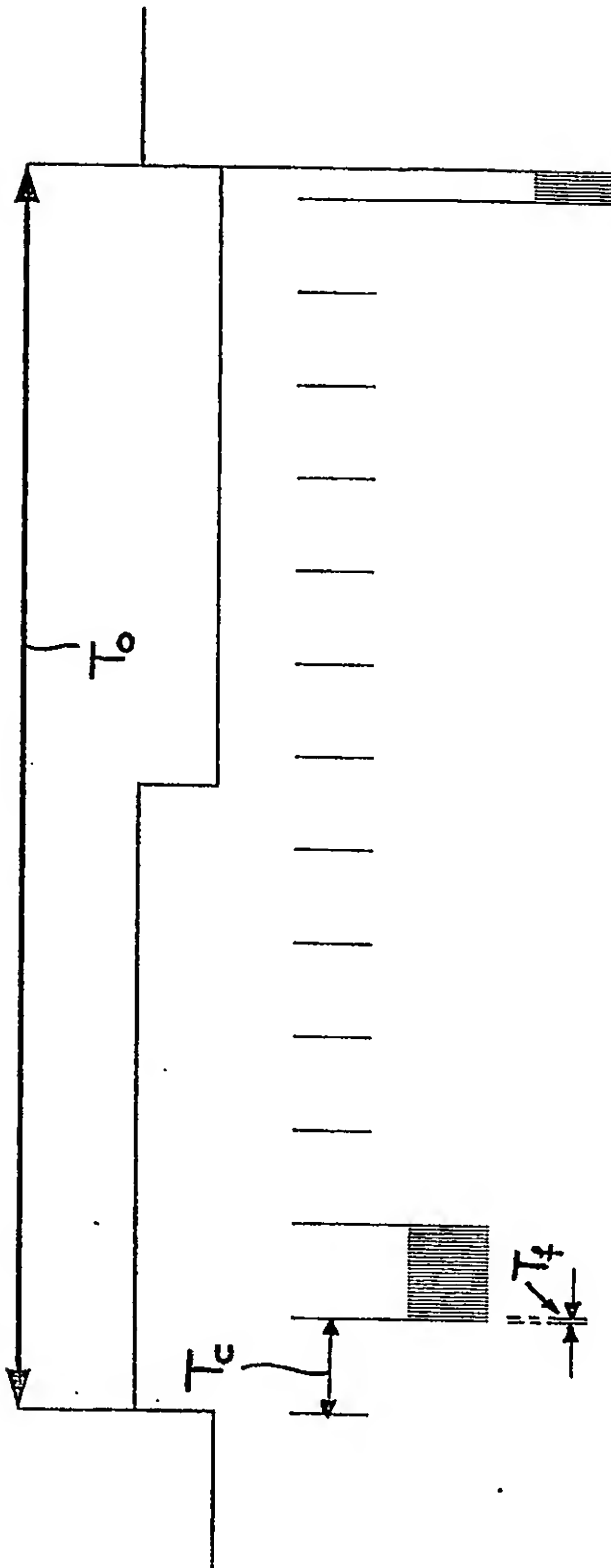


Fig. 3

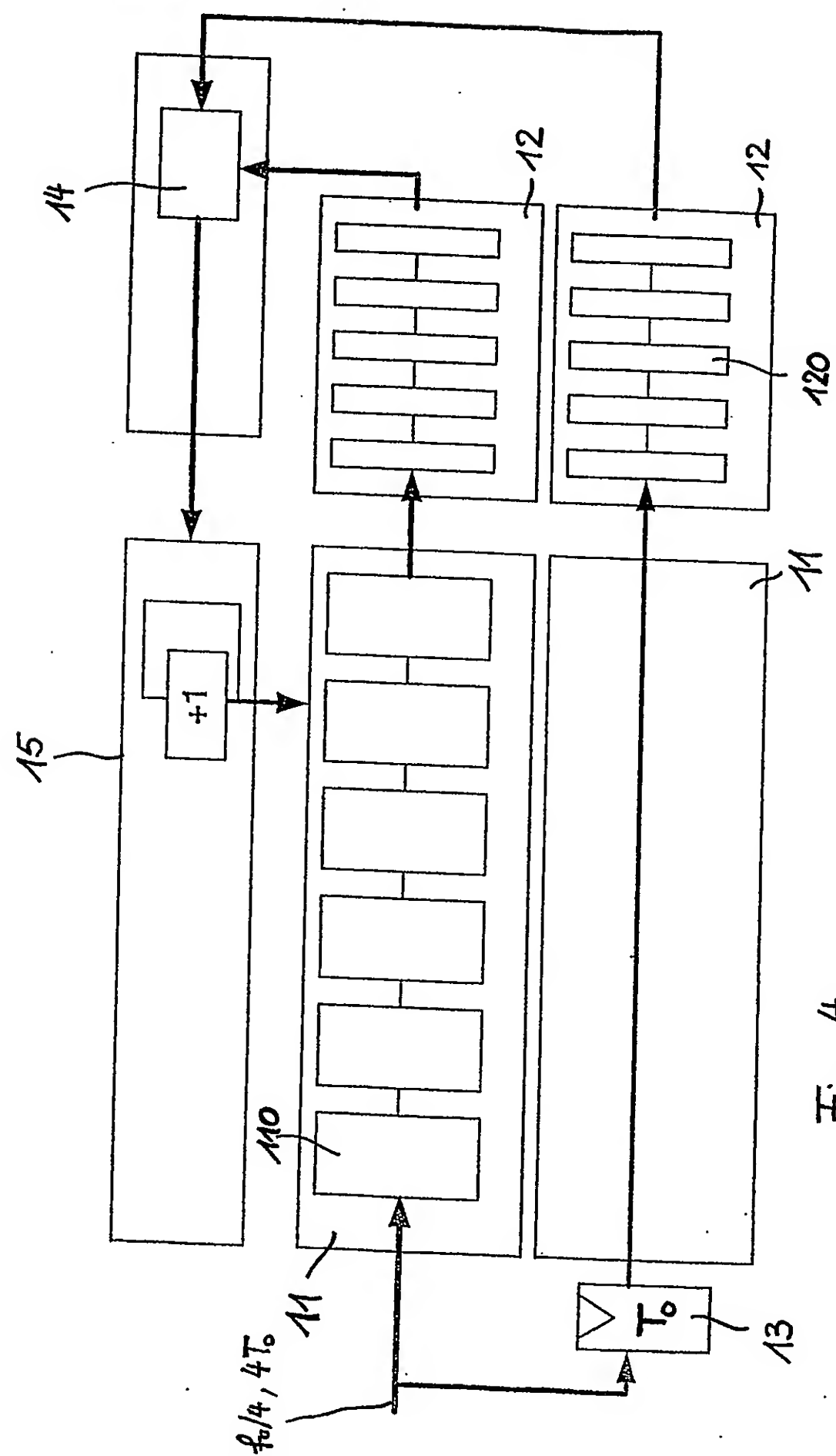


Fig. 4

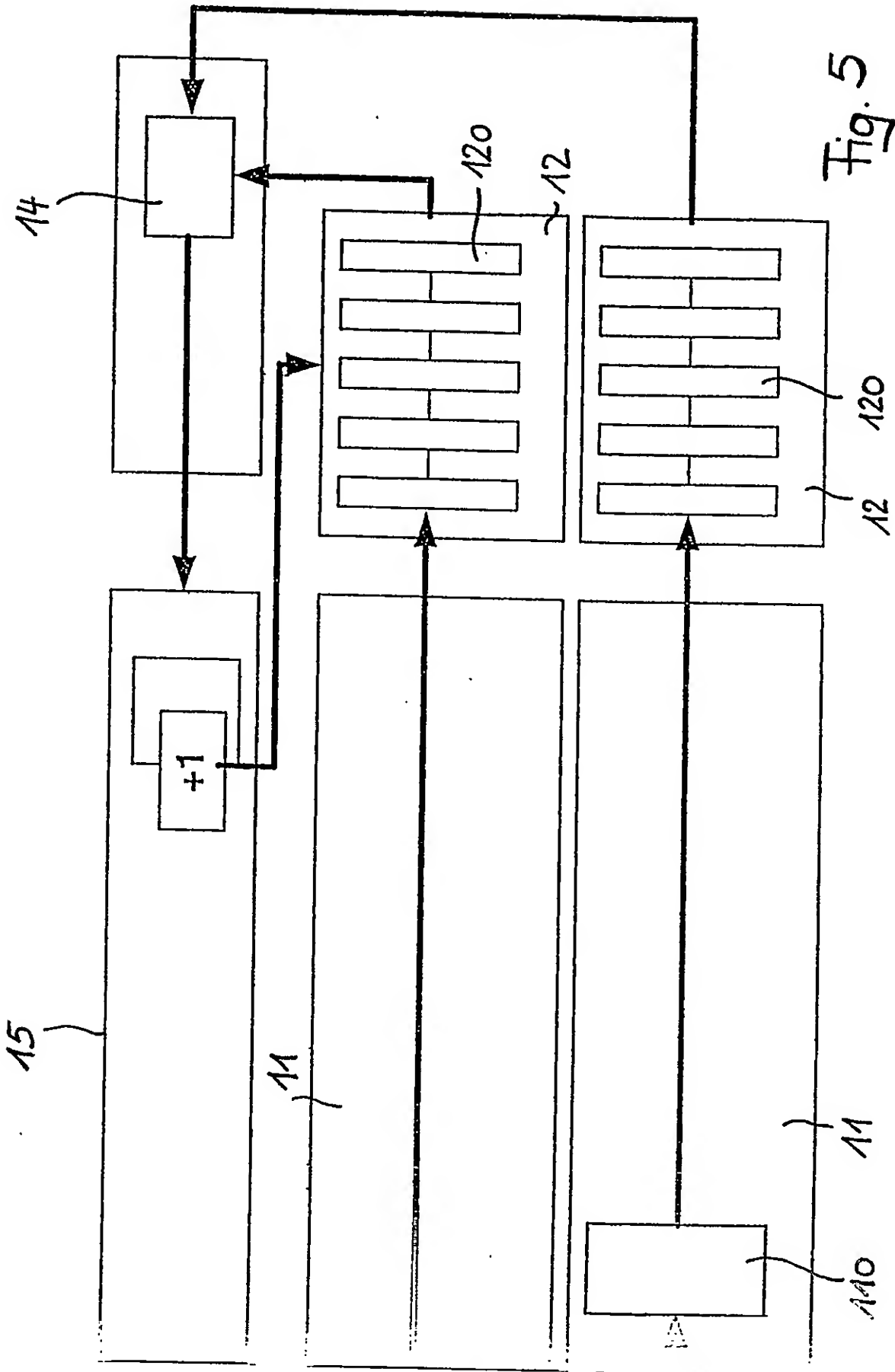


Fig. 5

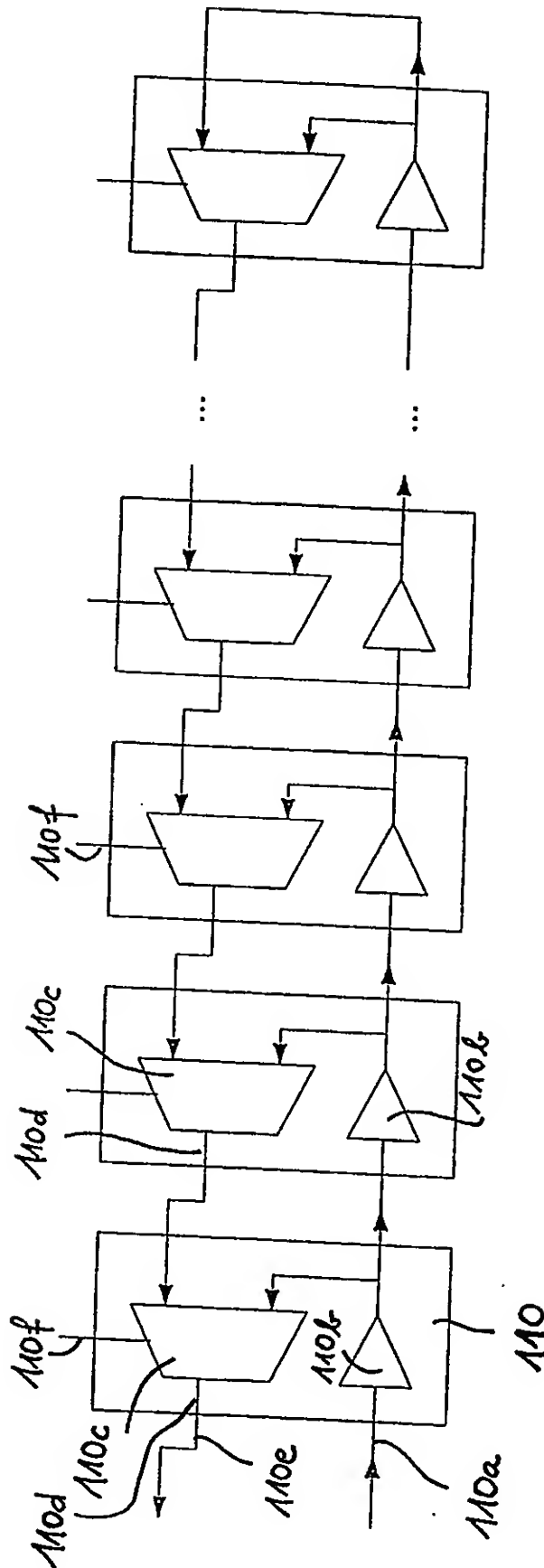


Fig. 6

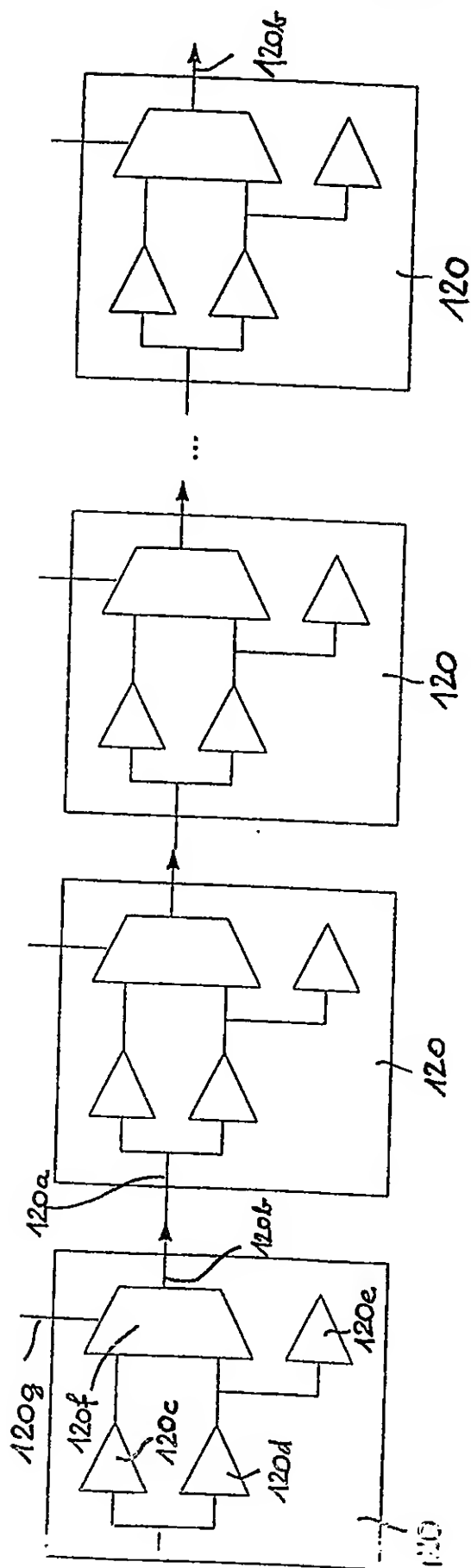


Fig. 7

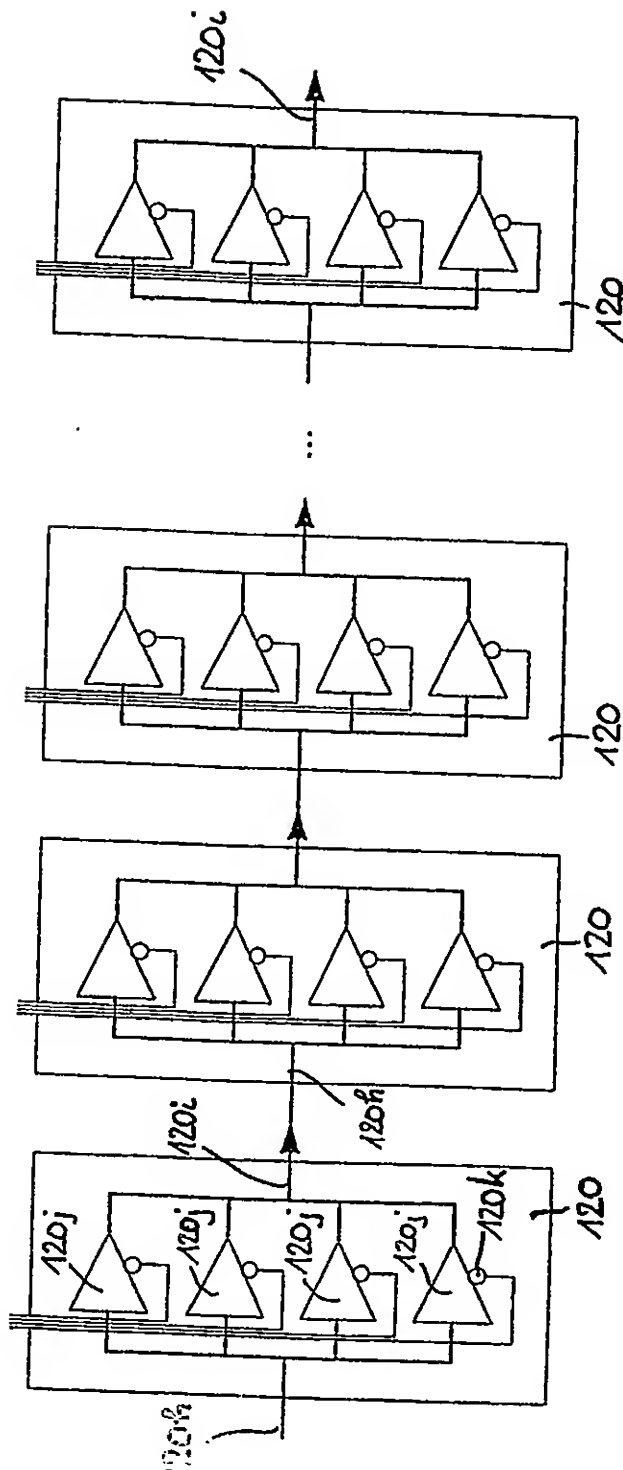


Fig. 8

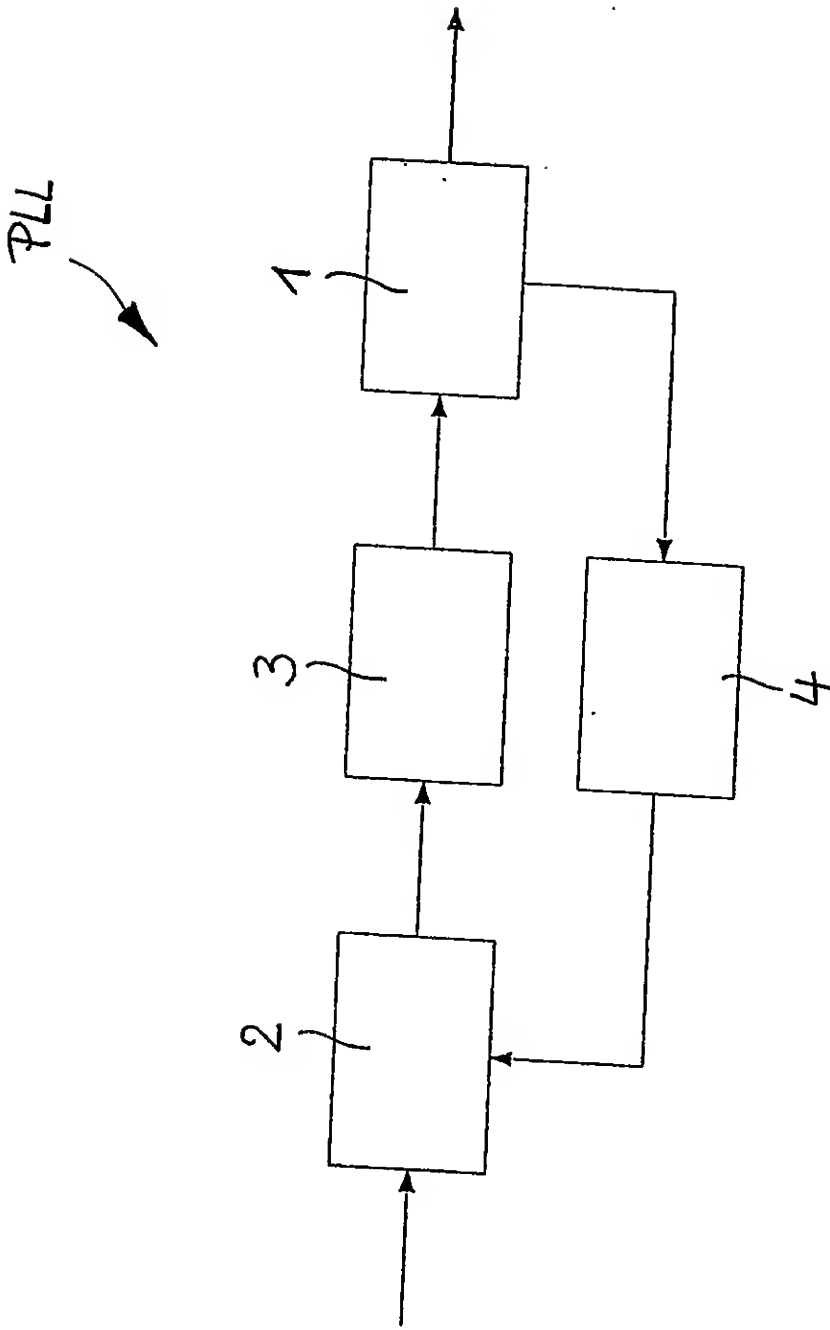


Fig. 9

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**